

修 士 論 文 の 和 文 要 旨

研究科・専攻	大学院 電気通信学研究科 情報工学専攻 博士前期課程		
氏 名	岡部 翔	学籍番号	0931014
論 文 題 目	SRAM と CAM を併用した世代分割高連想度キャッシュ		
<p>要 旨</p> <p>近年、携帯電話や PDA、デジタルカメラなど、組込みシステムは多くの場面で利用されている。それに伴い、複雑で高度なアプリケーションの実行を求められ、電力消費が増大する傾向にある。一方で、モバイル機器ではバッテリー容量が厳しく制限されている。よって、厳しい制約の中で、いかに性能を維持しつつ、消費電力を削減することが出来るかが重要な課題となってくる。本研究では、消費電力において、マイクロプロセッサ全体の 40%超を占めているキャッシュに着目する。</p> <p>Content Addressable Memory(CAM)は、入力に対し高速並列比較を行うことができ、その特性を生かして、ネットワークルーターやワイヤレスセンサネットワークに用いられるほか、Translation lookasid buffer(TLB)や System on a Chip(SoC)などにも用いられている。</p> <p>CAM ベースの高連想度キャッシュ (Highly Associative Cache, HAC) は、低電力組込みシステムに有用である。CAM ベース HAC は、キャッシュメモリを小さなサブバンクに分割することによりアクセスあたりの電力を下げる。各サブバンクは高い連想度を持つことによりミス率を下げる。CAM ベース HAC の問題は、CAM タグがキャッシュアクセスあたりの電力消費の大きな割合を占めることである。CAM は同じサイズの SRAM の 5~10 倍の電力を消費する。</p> <p>本論文では、CAM ベース高連想度キャッシュにおいて、ヒット率の低下を抑制しつつ、CAM の使用量を減らすことで消費電力を減らす手法を提案し、実現可能性を高めた評価方法を用いて実験・評価を行う。</p> <p>本手法は、CAM の sub-tag との部分マッチングにおいて、ヒットするキャッシュラインを 1 つに絞らない。また、SRAM 部分をアクセス頻度により 2 世代に分割する。実現可能性を高めた評価方法として第 2 世代 SRAM を FIFO、第 1 世代 SRAM を LRU とし、SRAM の sub-tag 重複時のアクセスを第 1 世代では MRU 順に、第 2 世代では FIFO 対象ウェイの隣から逆順に優先的に行う。</p> <p>シミュレーション実験により提案手法は従来法と比較し、ヒット率の低下を抑制することが確認でき、さらに、クロックサイクルの増加を抑えつつ、高い電力削減効果が得られることがわかった。</p>			